

(51) Int.Cl.<sup>6</sup>

H 0 1 S 3/18

識別記号

片内整理番号

F I

H 0 1 S 3/18

技術表示箇所

審査請求 未請求 請求項の数 4 O L (全 5 頁)

(21) 出願番号

特願平7-50160

(22) 出願日

平成7年(1995)3月9日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 川崎 和重

伊丹市瑞原4丁目1番地 三菱電機株式会

社光・マイクロ波デバイス開発研究所内

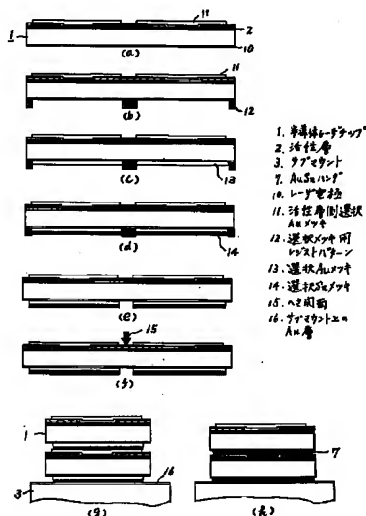
(74) 代理人 弁理士 大岩 増雄

## (54) 【発明の名称】 半導体レーザ装置の製造方法

## (57) 【要約】

【目的】 スタック組立時のAuSnハンダのはみ出しや角度ずれ等を防止し、へき開不良が起こらない半導体レーザ装置の製造方法を提供する。

【構成】 選択Auメッキ11が厚み2μmで形成されている半導体レーザ装置に、レーザ電極10を形成し、次に、選択メッキ用レジストパターン12を形成し、へき開部分へのメッキの形成を防止する。そこへ、選択Auメッキ13を厚み1μmで形成し、その上に選択Snメッキ14を厚み2μmで形成する。その後、選択メッキ用レジストパターン12を除去し、へき開により矢印15の方向より半導体レーザ装置をチップ1に分離する。さらに、厚み2μmのAu層16が形成されているサブマウント3上に、上記半導体レーザチップ1を2つ積み重ねたものを、340℃の雰囲気中で所定の時間処理すると、AuとSnが合金化し、Au:Sn=8:2wt%のAuSnハンダ7が形成される。



## 【特許請求の範囲】

【請求項1】 活性層側の面上の、へき開箇所を除く領域にAu層が選択的にメッキされ、他方の面上にレーザ電極が形成された複数個の連続した半導体レーザチップと、一方の面上にAu層が形成され、上記半導体レーザチップを載置するサブマウントとを準備する工程と、上記レーザ電極上の、へき開箇所にレジストパターンを形成する工程と、

上記レーザ電極上のレジストパターンを除く領域にSn層を選択的にメッキする工程と、

上記レジストパターンを除去する工程と、  
上記複数個の連続した半導体レーザチップをへき開により個々の半導体レーザチップに分離する工程と、

上記サブマウントのAu層が形成された面上に、上記半導体レーザチップの活性層側を上にして複数個積載する工程と、

上記サブマウントと上記半導体レーザチップ間、および上記半導体レーザチップ間にそれぞれ介在するAu層とSn層とを溶解してAuSn合金層を形成する工程とを含む工程によってスタック組立を行うことを特徴とする半導体レーザ装置の製造方法。

【請求項2】 活性層側の面上にレーザ電極が形成された複数個の連続した半導体レーザチップと、一方の面上にAu層が形成され、上記半導体レーザチップを載置するサブマウントとを準備する工程と、  
上記レーザ電極上の、へき開箇所にレジストパターンを形成する工程と、  
上記レーザ電極上のレジストパターンを除く領域にSn層を選択的にメッキする工程と、  
上記レジストパターンを除去する工程と、  
上記複数個の連続した半導体レーザチップをへき開により個々の半導体レーザチップに分離する工程と、  
上記サブマウントのAu層が形成された面上に、上記半導体レーザチップの活性層側を下にして載置する工程と、

上記サブマウントと上記半導体レーザチップ間に介在するAu層とSn層とを溶解してAuSn合金層を形成する工程とを含む工程によってJ-down組立を行うことを特徴とする半導体レーザ装置の製造方法。

【請求項3】 Sn層の下層に、Au層を選択的にメッキする工程を含むことを特徴とする請求項1または請求項2記載の半導体レーザ装置の製造方法。

【請求項4】 Sn層の上層に、無電解置換型メッキにてAu層を形成後、上記Au層の上層に電解メッキにてAu層を形成する工程を含むことを特徴とする請求項1または請求項2記載の半導体レーザ装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】この発明は、半導体レーザ装置の製造方法、特に組立方法に関するものである。

## 【0002】

【従来の技術】近年、半導体レーザ装置は、高出力化が求められている。より高出力な半導体レーザ装置を得るための製造方法として、一般的にはJ-down組立や、スタック組立が採用されている。J-down組立とは、熱放出を良くするために、活性層側(Junction側)を下側(down)にし、サブマウントにAuSnハンダにより隔着するものである。また、スタック組立とは、半導体レーザ装置を縦方向に積み上げる方法である。図4-aに、J-down組立方法を示す。図において、1は半導体レーザチップ、2は光を放出する活性層、3はサブマウント、4はAuSnハンダベレット、5はサブマウント上に形成されたAu層である。図4-bは、従来のJ-down組立方法における問題点を示している。図において、6はAuSnハンダのまわり込みである。J-down組立の場合、活性層2とサブマウント3の間隔が数μmしかないので、AuSnハンダベレット4の量の制御が難しく、量が多い場合、まわり込み6が発生して活性層2を覆い、光を遮ってしまうという組立不良が発生する。

【0003】図5に、従来のスタック組立方法を示す。

図において、7はAuSnハンダであり、半導体レーザチップ1とサブマウント3間をAuSnハンダ7で隔着しているが、J-down組立と同様に、AuSnハンダ量が多い場合、AuSnハンダのはみ出しや、半導体レーザチップ間の角度ずれ等が生じる。また、ハンダ材を半導体レーザ装置の製造段階で形成し、組立を行う方法もある。図6は、特開平6-7628号公報に示されている実施例であり、図において、7は半導体レーザ装置の製造段階で形成されたAuSnハンダ、8は半導体レーザ装置の製造段階で形成されたSn層、9はサブマウント上に形成されたSn層である。この方法においては、AuSn合金層の組成制御が困難であり、組立時に融解せず、組立不良となる可能性がある。また、半導体レーザ装置は、へき開により切り出すため、ミクロンオーダーで形成されるAuSnハンダ7とSn層8により、へき開時の不良が発生する可能性がある。

## 【0004】

【発明が解決しようとする課題】前記のように、従来の半導体レーザ装置の組立方法では、AuSnハンダ量の制御が困難であり、AuSnハンダのはみ出しや、スタック組立時の半導体レーザチップ間の角度ずれ等が生じるという問題があった。また、ハンダ材を半導体レーザ装置の製造段階で形成し、組立を行う方法では、AuSn合金層の組成比の制御が難しく、さらにへき開時の不良が発生するという問題があった。

【0005】この発明は、上記のような問題点を解消するためになされたもので、AuSnハンダ量の制御を可能にし、組立時のAuSnハンダのはみ出しや、角度ずれ等の発生を防止し、さらにへき開不良が発生しない半

導体レーザ装置の製造方法を提供することを目的とする。

#### 【0006】

【課題を解決するための手段】この発明に係わる半導体レーザ装置の製造方法は、レーザ電極上の、へき開箇所

にレジストパターンを形成し、へき開箇所を除く領域にSn層を選択的にメッキする工程を備えてスタック組立を行うものである。また、活性層側レーザ電極上にSn層を選択的にメッキする工程と、サブマウントのAu層が形成された面上に、半導体レーザチップの活性層側を下にして積載する工程と、サブマウントと上記半導体レーザチップ間に介在するAu層とSn層とを溶解してAuSn合金層を形成する工程とを備えてJ-down組立を行うものである。また、Sn層の下層に、Au層を選択的にメッキするようにしたものである。また、Sn層の上層に、無電解置換型メッキにてAu層を形成した後、このAu層の上層に電解メッキにてさらにAu層を形成するようにしたものである。

#### 【0007】

【作用】この発明における半導体レーザ装置の製造方法では、へき開箇所を除く領域にSn層を選択的にメッキするので、へき開不良が発生せず、さらにSn層、Au層それぞれの膜厚を制御することによりAuSn合金の量を最適化し、AuSn合金の余剰分のはみ出しや、積層された半導体レーザチップの角度ずれを防止することができる。また、Sn層とAu層をそれぞれ単層で形成するので、組成の安定したAuSn合金が確実に形成でき、さらにSn層、Au層それぞれの膜厚を制御することによりAuSn合金の量を最適化し、AuSn合金の余剰分の活性層へのまわり込みを防止でき、歩留まり良くJ-down組立を行うことができる。また、Sn層の下層に、Au層を選択的にメッキすることにより、Sn層がAu層に挟まれた構成となり、さらに確実に合金化が行える。また、無電解置換型メッキによれば、Sn層への付着力が強く、剥がれにくいAu膜が形成でき、さらに電解メッキにてAu層を形成することにより、Sn層の酸化およびレジスト剥離液によるエッチングを防止することができ、AuSn合金の組成の安定化が図られる。

#### 【0008】

##### 【実施例】

実施例1. 以下、この発明の一実施例を図について説明する。図1は、本発明の半導体レーザ装置の製造方法における、スタック組立までのフローを示す図である。図において、10はレーザ電極、11は活性層側選択Auメッキ、12は選択メッキ用レジストパターン、13は選択Auメッキ、14は選択Snメッキ、15はへき開方向を示す矢印、16はサブマウント上のAu層である。なお、従来例と同一部分、同一材料については同符号を付し、説明を省略する。

【0009】組立方法を図について説明する。まず、活性層側の面上に選択Auメッキ11が厚み2μmで形成されているへき開前の半導体レーザチップ1に、レーザ電極10を形成する(図1-a)。次に、選択メッキ用レジストパターン12を形成し、へき開部分へのメッキの形成を防止する(図1-b)。そこへ、選択Auメッキ13を厚み1μmで形成し(図1-c)、その上に選択Snメッキ14を厚み2μmで形成する(図1-d)。その後、選択メッキ用レジストパターン12を除去し(図1-e)、へき開により矢印15の方向より個々の半導体レーザチップ1に分離する(図1-f)。さらに、厚み2μmのAu層16が形成されているサブマウント3上に、上記半導体レーザチップ1を2つ積み重ねたもの(図1-g)を載置し、340℃の雰囲気中で所定の時間処理すると、AuとSnが合金化し、Au:Sn=8:2wt%のAuSnハンダ7が形成される(図1-h)。

【0010】本実施例によれば、AuとSnをそれぞれ単層で形成するので、それぞれの厚みを制御することにより、AuSnハンダの任意の組成が得られ、確実に合金化することができる。また、AuSnハンダ量は、Au層、Sn層それぞれのメッキ膜厚や、レジストパターンの面積を変えることにより容易に制御できるため、AuSnハンダのはみ出しや、スタック組立時の角度ずれを防止できる。また、へき開部を避けて選択メッキを行い、AuSnハンダ材を形成するので、へき開不良の原因とならない。以上のことから、本実施例の製造方法によれば、半導体レーザ装置のスタック組立を容易に行うことができ、歩留まりを向上させる効果がある。

【0011】実施例2. 実施例1においては、選択Snメッキ14が半導体レーザチップの最表面にあるため、選択メッキ用レジストパターン12を除去するための剥離液によりSnが0.3μm程度エッチングされることがわかってい

る。また、Snは、酸化されやすいことから、本実施例では、Snメッキ14上に、Snを保護するためのAu層を形成する。図2は、実施例1において形成した選択Snメッキ14の上に、Au層を形成するフローを示す図である。図において、17は、無電解の置換型Auメッキである。

【0012】本実施例による半導体レーザ装置の製造方法を図について説明する。まず、実施例1のフローに従い、厚み1μmの選択Auメッキ13と厚み2.7μmの選択Snメッキ14が形成された半導体レーザチップ1(図2-a)に、無電解置換型Auメッキ17を形成する(図2-b)。置換型メッキとは、Sn最表面にAuがメッキされるのではなく、Snを溶かしてその後にAuが置き換わるメッキ法である。表面が酸化されたSn層においては、通常の電解メッキでは、SnとAu間の付着力が弱く剥がれやすいため、不安定な工程となるが、上記の無電解置換型Auメッキによれば、SnとA

u間の付着力は強力であり、工程の安定化が図れる。置換型Auメッキ17は、厚み0.1 $\mu$ m程度であり、非常に薄いため、長時間放置すると下地のSnに浸食され変色してしまうので、置換型Auメッキ17上に、さらに厚み1 $\mu$ mの電解Auメッキ13を形成する(図2-c)。その後、レジスト剥離液にてレジストパターン12を除去する(図2-d)。この時、Snメッキ14はAuメッキ13により保護されているので、レジスト剥離液にエッチングされることはない。本実施例によれば、Snメッキ上にAuメッキを形成し、酸化やレジスト剥離液によるエッチングからSnを保護し、Snの目減りを防止できるので、Auメッキ量とSnメッキ量の相対値を保つことができ、AuSnハンダとしての組成の安定化が図れ、組立不良が低減できる。

【0013】実施例3. 図3に、本発明におけるAuSnハンダ構造を適用したJ-down組立フローを示す。図において、18は、活性層側レーザ電極である。本実施例による半導体レーザ装置の製造方法を図について説明する。活性層側レーザ電極18上に、実施例2と同様に、選択メッキ用レジストパターンにて、厚み2 $\mu$ mの選択Snメッキ14、無電解Auメッキ17、厚み2 $\mu$ mの選択Auメッキ13を形成し、レジストパターンを除去後、へき開により個々のチップに分離する(図3-a)。次に、活性層2側を、厚み1 $\mu$ mのAu層16が形成されているサブマウント3上に載せる(図3-b)。これを、340°Cの雰囲気中で、所定の時間処理すると、AuとSnが合金化し、AuSnハンダ7となる。Auメッキ層はトータル3 $\mu$ m、Snメッキ層は2 $\mu$ mであり、Au=80wt%のAuSnハンダが形成される。

【0014】本実施例によれば、選択メッキ用レジストパターン形成時にAuSnハンダ面積が制御でき、さらにメッキ膜厚によってもAuSnハンダ量が制御できるため、それぞれを最適化することによりハンダのまわり込みが防止でき、J-down組立の歩留まりを向上させることができる。

#### 【0015】

【発明の効果】以上のように、この発明によれば、半導体レーザ装置のへき開部を避けてAu、Snの選択メッキを行い、AuSnハンダ材を形成するので、へき開不良が発生せず、スタック組立が容易に行え、歩留まりを向上させる効果がある。また、選択メッキによりAuSnハンダ量が制御できるため、活性層へのハンダのまわり込みが防止でき、J-down組立の歩留まりを向上させることができる。さらに、Snメッキ上に無電解置換型Auメッキを形成し、酸化やレジスト剥離液によるエッチングからSnを保護するので、AuSnハンダとしての組成の安定化が図れ、組立不良が低減できる。

#### 【図面の簡単な説明】

【図1】 この発明の一実施例による半導体レーザ装置のスタック組立のフローを示す断面側面図である。

【図2】 この発明の実施例2による半導体レーザ装置の製造方法のフローを示す断面側面図である。

【図3】 この発明の実施例3による半導体レーザ装置のJ-down組立のフローを示す断面側面図である。

【図4】 従来の半導体レーザ装置のJ-down組立のフローを示す断面側面図である。

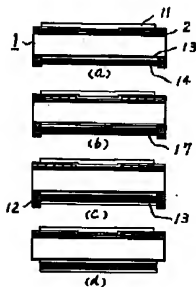
【図5】 従来の4段のスタック組立による半導体レーザ装置を示す断面側面図である。

【図6】 従来の半導体レーザ装置の実施例を示す断面側面図である。

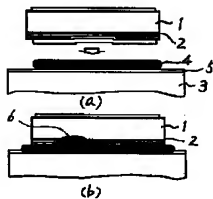
#### 【符号の説明】

1 半導体レーザチップ、2 活性層、3 サブマウント、4 AuSnハンダベレット、5 サブマウント上のAu層、6 AuSnハンダのまわり込み、7 AuSnハンダ、8 半導体レーザ装置上のSn層、9 サブマウント上のSn層、10 レーザ電極、11 活性層側選択Auメッキ、12 選択メッキ用レジストパターン、13 選択Auメッキ、14 選択Snメッキ、15 へき開方向、16 サブマウント上のAu、17 無電解置換型Auメッキ、18 活性層側レーザ電極。

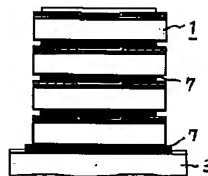
【図2】



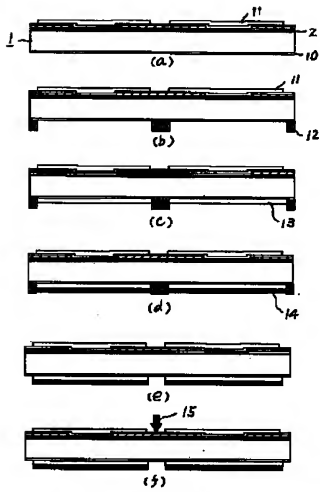
【図4】



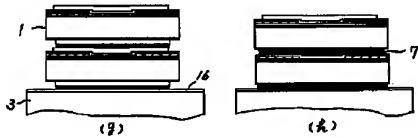
【図5】



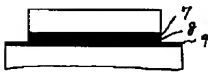
【図1】



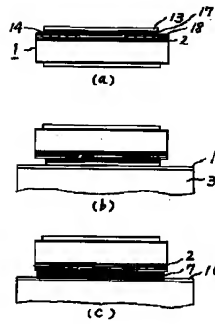
- 1. 半導体レザック
- 2. 活性層
- 3. シマント
- 7. AuSnバンプ
- 10. レザック
- 11. 活性層側選択
- 12. 選択メッキ用
- 13. 選択Auメッキ
- 14. 選択Snメッキ
- 15. ハミ面
- 16. シマントエロ
- Au層



【図6】



【図3】



**PAT-NO:** JP408250804A  
**DOCUMENT-IDENTIFIER:** JP 08250804 A  
**TITLE:** MANUFACTURE OF SEMICONDUCTOR  
LASER  
**PUBN-DATE:** September 27, 1996

**INVENTOR-INFORMATION:**

NAME	COUNTRY
KAWASAKI, KAZUE	

**ASSIGNEE-INFORMATION:**

NAME	COUNTRY
MITSUBISHI ELECTRIC CORP	N/A

**APPL-NO:** JP07050160  
**APPL-DATE:** March 9, 1995

**INT-CL (IPC):** H01S003/18

**ABSTRACT:**

**PURPOSE:** To provide a method to manufacture a semiconductor laser device in which swelling out, angular deviation, etc., of AuSn solder are prevented at the time of assembling a stack and no cleavage defect occurs.

**CONSTITUTION:** In a semiconductor laser device in which a selectively plated Au film 2  $\mu$ m thick is formed, the formation of a plated film on a

cleavage plane is prevented by forming a laser electrode 10 and resist pattern 12 for selective plating. Then a selectively plated Au film 13  $1\mu\text{m}$  thick is formed and selectively plated Sn film 14  $2\mu\text{m}$  thick is formed on the film 13. Thereafter, the pattern 12 is removed and the semiconductor laser device is divided into two chips 1 in the direction shown by the arrow 15 by utilizing the cleavage plane. Moreover, the two chips 1 are piled up upon another on a sub-mount 3 carrying an Au layer 16  $2\mu\text{m}$  thick and treated for a prescribed period of time in an atmosphere maintained at  $340^{\circ}\text{C}$ . As a result, the Au and Sn of the films 16 and 14 are alloyed and AuSn solder 7 composed of 80wt.% Au and 20wt.% Sn is formed.

COPYRIGHT: (C)1996, JPO